

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-163326

(43)Date of publication of application : 06.06.2003

(51)Int.Cl.

H01L 25/065
G11C 11/41
G11C 11/413
G11C 29/00
H01L 21/3205
H01L 23/52
H01L 25/07
H01L 25/18

(21)Application number : 2001-362129

(71)Applicant : TAIYO YUDEN CO LTD

(22)Date of filing : 28.11.2001

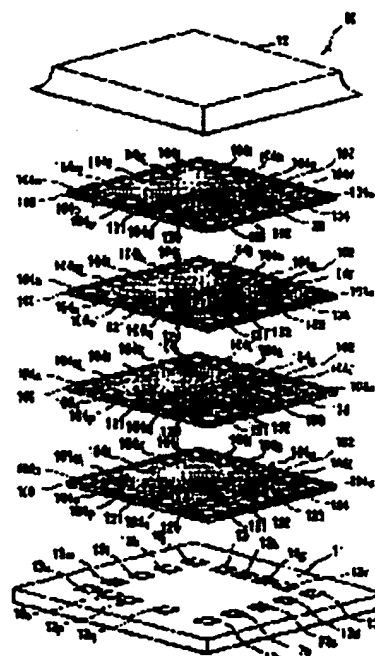
(72)Inventor : FUJII NORIYOSHI

(54) SEMICONDUCTOR CHIP, AND STACKED SEMICONDUCTOR ELECTRONIC COMPONENT AND MANUFACTURING METHOD THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor chip that has a chip selection terminal and can connect different types of terminals by stacking, to provide a stacked semiconductor electronic component using the semiconductor chip, and to provide a manufacturing method of the stacked semiconductor electronic component.

SOLUTION: The semiconductor chip comprises a chip selection electrode 121 where a chip selection signal for setting an internal circuit to an operation state or a non-operation state is inputted, connection terminals 121-134 and 104e-104q that include chip selection terminals 131-134 that are exposed to the front and rear of the chip, and a connection line that connects the chip selection electrode 121 and the chip selection terminals 131-134 in continuity and is capable of cutting so that only one of the chip selection terminals 131-134 can be connected to the chip selection electrode 121. While the chip selection electrode 121 of each semiconductor chip 100 is connected to only mutually different chip selection terminals 131-134, connection terminals are connected to compose a stacked semiconductor electronic component 10 where a plurality of semiconductor chips 100 are stacked.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-163326

(P2003-163326A)

(43) 公開日 平成15年6月6日 (2003.6.6)

(51) Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 25/065		G 1 1 C 29/00	6 0 3 J 5 B 0 1 5
G 1 1 C 11/41		H 0 1 L 25/08	Z 5 F 0 3 3
11/413		23/52	C 5 L 1 0 6
29/00	6 0 3	G 1 1 C 11/34	3 4 5
H 0 1 L 21/3205			3 4 1 C

審査請求 未請求 請求項の数18 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2001-362129(P2001-362129)

(22) 出願日 平成13年11月28日 (2001. 11. 28)

(71) 出願人 000204284

太陽誘電株式会社

東京都台東区上野6丁目16番20号

(72) 発明者 藤井 知穂

東京都台東区上野6丁目16番20号 太陽誘電株式会社内

(74) 代理人 100069981

弁理士 吉田 精孝 (外1名)

Fターム(参考) 5B015 HH01 HH03 JJ32 NN09 PP03

5F033 MM30 QQ53 VV00 VV09 VV16

XX27

5L106 CC04 CC08 CC12 CC17 CC21

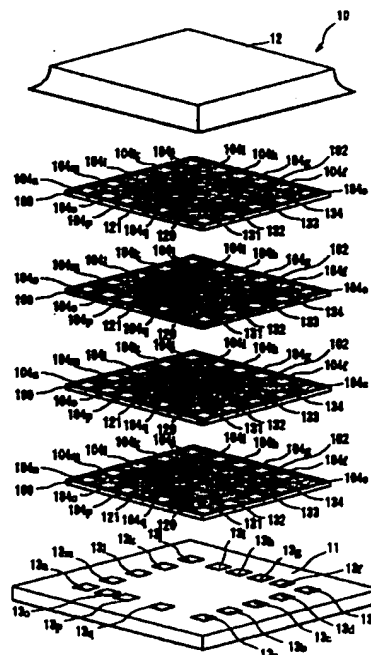
CC31 GG05

(54) 【発明の名称】 半導体チップ並びに積層半導体電子部品及びその製造方法

(57) 【要約】

【課題】 チップセレクト端子を有し且つ積み重ねて互いに同種の端子を接続できる半導体チップ並びにこれを用いた積層半導体電子部品及びその製造方法を提供する。

【解決手段】 内部回路を動作状態または非動作状態に設定するチップセレクト信号が入力されるチップセレクト電極121と、チップセレクト端子131~134を含み且つそれぞれがチップの表裏面に露出している接続端子131~134, 104e~104qと、チップセレクト電極121とチップセレクト端子131~134とを導通接続してチップセレクト端子131~134のうちの1つのみをチップセレクト電極121に接続できるように切除可能な接続線路とを備えている半導体チップを構成する。各半導体チップ100のチップセレクト電極121が互いに異なる1つのチップセレクト端子131~134のみに接続された状態にして、接続端子同士を接続して複数の半導体チップ100を積み重ねた積層半導体電子部品10を構成する。



【特許請求の範囲】

【請求項1】 内部回路を動作状態または非動作状態に設定するチップセレクト信号が入力されるチップセレクト電極を備えた平板状をなす半導体チップであって、複数のチップセレクト端子を含み且つそれぞれがチップの表裏面に露出している複数の接続端子と、前記チップセレクト電極と前記複数のチップセレクト端子とを導通接続し且つ前記複数のチップセレクト端子のうちの1つのみを前記チップセレクト電極に接続できるように所定部分を外部から切除可能な接続線路とを備えていることを特徴とする半導体チップ。

【請求項2】 前記半導体チップの表面と裏面の両方に設けられた絶縁膜を有し、該絶縁膜上に前記接続線路が設けられていることを特徴とする請求項1に記載の半導体チップ。

【請求項3】 前記チップセレクト端子を含む複数の接続端子が、前記半導体チップの表面と裏面において外部に露出するように前記半導体チップの表面から裏面に貫通して設けられていることを特徴とする請求項1に記載の半導体チップ。

【請求項4】 前記チップセレクト端子を含む複数の接続端子が、前記半導体チップの表面から側面を経由して裏面に至るように半導体チップの外面に露出して設けられていることを特徴とする請求項1に記載の半導体チップ。

【請求項5】 前記半導体チップの内部回路がメモリ回路であることを特徴とする請求項1に記載の半導体チップ。

【請求項6】 前記半導体チップの内部回路はメモリ冗長回路を含み、前記半導体チップの表面と裏面の両方に設けられた絶縁膜と、前記裏面側の絶縁膜上に設けられた前記メモリ冗長回路のヒューズ回路とを備えていることを特徴とする請求項5に記載の半導体チップ。

【請求項7】 前記半導体チップの内部回路は、入出力を介して外部回路に接続可能なトリミングによりトランジスタの動作点の調整が必要なトランジスタを含んでいることを特徴とする請求項1に記載の半導体チップ。

【請求項8】 前記半導体チップの表面と裏面の両方に設けられた絶縁膜と、前記入出力端子に接続されて前記絶縁膜上に設けられ且つ切除によって抵抗値の変更が可能なインピーダンスマッチング用の抵抗回路とを備えていることを特徴とする請求項7に記載の半導体チップ。

【請求項9】 内部回路を動作状態または非動作状態に設定するチップセレクト信号が入力されるチップセレクト電極と、複数のチップセレクト端子を含み且つそれぞれがチップの表裏面に露出している複数の接続端子と、

前記チップセレクト電極と前記複数のチップセレクト端子とを導通接続し且つ前記複数のチップセレクト端子のうちの1つのみを前記チップセレクト電極に接続している接続線路とを備えた平板状をなす複数の半導体チップを有し、各半導体チップの前記チップセレクト端子を含む接続端子同士を接続して前記複数の半導体チップが積み重ねられており、

改積み重ねられた各半導体チップのチップセレクト電極は、それぞれ異なるチップセレクト端子に接続されていることを特徴とする積層半導体電子部品。

【請求項10】 前記積層された複数の半導体チップを包む絶縁部材と、

該絶縁部材に固定されて外部に露出すると共に前記複数のチップセレクト端子を含む外部回路との複数の接続端子に接続された複数の外部端子とを有することを特徴とする請求項9に記載の積層半導体電子部品。

【請求項11】 前記半導体チップは、表面と裏面の両方に設けられた絶縁膜を有し、該絶縁膜上に前記接続線路が設けられていることを特徴とする請求項9に記載の積層半導体電子部品。

【請求項12】 各半導体チップにおいて、前記チップセレクト端子を含む外部回路との接続端子が、半導体チップの表面と裏面において半導体チップの外部に露出するように半導体チップの表面から裏面に貫通して設けられていることを特徴とする請求項9に記載の積層半導体電子部品。

【請求項13】 各半導体チップにおいて、前記チップセレクト端子を含む外部回路との接続端子が、半導体チップの表面から側面を経由して裏面に至るように半導体チップの外面に露出して設けられていることを特徴とする請求項9に記載の積層半導体電子部品。

【請求項14】 各半導体チップの内部回路がメモリ回路であることを特徴とする請求項9に記載の積層半導体電子部品。

【請求項15】 前記半導体チップの内部回路はメモリ冗長回路を含み、前記半導体チップの表面と裏面の両方に設けられた絶縁膜と、前記裏面側の絶縁膜上に設けられた前記メモリ冗長回路のヒューズ回路とを備えていることを特徴とする請求項14に記載の積層半導体電子部品。

【請求項16】 前記半導体チップの内部回路は、入出力を介して外部回路に接続可能なトリミングによりトランジスタの動作点の調整が必要なトランジスタを含んでいることを特徴とする請求項9に記載の積層半導体電子部品。

【請求項17】 前記半導体チップの表面と裏面の両方に設けられた絶縁膜と、

前記入出力端子に接続されて前記絶縁膜上に設けられ且

つ切除によって抵抗値の変更が可能なインピーダンスマッチング用の抵抗回路とを備えていることを特徴とする請求項16に記載の積層半導体電子部品。

【請求項18】 内部回路を動作状態または非動作状態に設定するチップセレクト信号が入力されるチップセレクト電極と、複数のチップセレクト端子を含み且つそれぞれがチップの表裏面に露出している複数の接続端子と、前記チップセレクト電極と前記複数のチップセレクト端子とを導通接続し且つ前記複数のチップセレクト端子のうちの1つのみを前記チップセレクト電極に接続できるように切除可能な接続線路とを備えている平板状をなす複数の半導体チップを用い、前記半導体チップの接続端子に対向する位置に基板上面に設けられ且つそれぞれが外部端子に接続された複数の端子電極を有する絶縁基板上に前記複数の半導体チップを積み重ねて実装して積層半導体電子部品を製造する工程が、前記接続線路の形成面が上面となるように前記接続端子と前記端子電極とを接続して一の半導体チップを前記絶縁基板上に実装する工程と、該実装した半導体チップのチップセレクト電極が1つのチップセレクト端子のみに接続されるように接続線路の所定部分を切除する工程と、前記絶縁基板上に実装した半導体チップの上に同種の接続端子同士を接続し且つ接続線路の形成面が上面となるように他の半導体チップを実装して該実装した半導体チップのチップセレクト電極が既に絶縁基板上に実装されている半導体チップが使用しているチップセレクト端子以外の1つのチップセレクト端子のみに接続されるように接続線路の所定部分を切除する工程とを含むことを特徴とする積層半導体電子部品の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップセレクト端子を備えた半導体チップ並びに該半導体チップを積層してなる積層半導体電子部品及びその製造方法に関するものである。

【0002】

【従来の技術】近年、半導体電子機器の発達が目覚ましく、CPUの処理速度の向上はもとより、半導体メモリや磁気ディスクなどの記憶媒体の容量増大においても著しい進歩が成し遂げられている。

【0003】また、各種電子機器の小型化及び軽量化が望まれているため、電子機器を構成する個々の電子部品の小型化も進んでいる。

【0004】例えば、従来から小型化及び大容量化が望まれてきた半導体メモリにおいても、IC製造技術の進歩によって1つの半導体チップで256Mビットの記憶容量を有するものが大量生産できるようになってきており、現在さらなる電子部品の小型化に向けて技術開発が

行われている。

【0005】

【発明が解決しようとする課題】しかしながら、半導体チップを用いた電子部品のほとんどが、1つの半導体チップの周囲を樹脂やセラミックでモールドして外部端子を設けた周知のデュアルインラインパッケージ(DIP)タイプか若しくは表面実装用フラットパッケージタイプである。

【0006】このようなDIPタイプの電子部品を用いる場合、例えば半導体メモリを複数個使用するメモリ回路を構成するときには、回路基板上にDIPタイプの半導体メモリを並べて配置し、必要に応じて個々の半導体メモリのチップセレクト端子にメモリのアドレス信号に関連づけたセレクト信号を入力することによって、メモリアドレスに応じて使用する半導体メモリを選択している。

【0007】このため、使用するメモリ容量が増大するに従って電子部品の実装面積が増大してしまい、電子機器の小型化の妨げになっている。

【0008】また、複数の半導体チップを1つのパッケージに収納したハイブリッドモジュールも知られているが、これも複数の半導体チップを平面上に並べて配置しているので、モジュール内に収納する半導体チップの数が増加するにつれ半導体チップの実装面積が増して、モジュールの形状が大きくなってしまう。

【0009】このため、複数の半導体チップを立体的に配置して実装面積を低減する方法も研究されているが、電子部品の小型化という点においては未だ実用段階に至っているものは少ない。

【0010】本発明の目的は上記の問題点に鑑み、チップセレクト端子を有し且つ積み重ねて互いに同種の端子を接続できる半導体チップ並びにこれを用いた積層半導体電子部品及びその製造方法を提供することである。

【0011】

【課題を解決するための手段】本発明は、内部回路を動作状態または非動作状態に設定するチップセレクト信号が入力されるチップセレクト電極を備えた半導体チップであって、複数のチップセレクト端子を含み且つそれぞれがチップの表裏面に露出している複数の接続端子と、前記チップセレクト電極と前記複数のチップセレクト端子とを導通接続し且つ前記複数のチップセレクト端子のうちの1つのみを前記チップセレクト電極に接続できるように切除可能な接続線路とを備えている半導体チップを構成することによって上記の目的を達成した。

【0012】本発明の半導体チップは、同じ位置に形成されている接続端子同士を接続して、複数個積み重ねることができる。このとき積み重ねる個々の半導体チップの前記接続線路の所定部分を切除し、各半導体チップのチップセレクト電極は互いに異なる1つのチップセレクト端子のみに接続された状態にすることによって、最大

で前記チップセレクト端子の数に相当する半導体チップを積み重ねることができる。

【0013】これにより、積み重ねた複数の半導体チップの内の任意の1つをチップセレクト信号によって選択して使用可能となる。

【0014】このようにして複数の半導体チップを積み重ねたものを絶縁物によってパッケージングして外部端子を設けることにより実装面積及び高さが小さい積層半導体電子部品を構成することができる。

【0015】また、本発明では、前記半導体チップの表面と裏面の両方に設けられた絶縁膜を有し、該絶縁膜上に前記接続線路が設けられている半導体チップを提案する。

【0016】このように、半導体チップの表裏面の両方に絶縁膜を設けることによって、半導体チップの製造工程において前記接続線路を容易に形成することができると共に半導体チップの外部から前記接続線路の一部分を容易に切除可能となる。前記接続線路の一部分を切除するには、例えば周知のレーザビームや、収束イオンビーム（FIB: Focused Ion Beam）、電子ビーム（EB: Electron Beam）を用いることができる。

【0017】また、前記チップセレクト端子を含む複数の接続端子は、半導体チップの積み重ね状態での接続を容易にするために、半導体チップの表面と裏面の双方に露出していることが好ましく、各接続端子は前記半導体チップの表面から裏面に貫通して設けられていても良いし、前記半導体チップの表面から側面を経由して裏面に至るように半導体チップの外面に露出して設けられていても良い。

【0018】また、本発明は、前記半導体チップの内部回路がメモリ回路である半導体チップを構成することにより、大記憶容量を有する小型のメモリICの製造を可能にした。このとき、前記半導体チップの表面と裏面の両方に絶縁膜を設け、前記裏面側の絶縁膜上にメモリ冗長回路のヒューズ回路を設けることによって、メモリ冗長回路のヒューズ回路を容易にトリミング可能にした。

【0019】また、本発明は、前記半導体チップとして、入出力を介して外部回路に接続可能なトリミングによりトランジスタの動作点の調整が必要なトランジスタを含む内部回路を有する半導体チップを構成し、該半導体チップを積み重ねた上記積層半導体電子部品を構成することによって、トランジスタの選択的な使用を容易に行えるようにした。さらに、前記トランジスタを含む半導体チップの表面と裏面の両方に絶縁膜を設け、該絶縁膜上に切除によって抵抗値の変更が可能なインピーダンスマッチング用の抵抗回路を設けることによって、インピーダンスマッチング調整を容易に行えるようにした。

【0020】また、本発明は、前記積層半導体電子部品の製造方法として、前記半導体チップの接続端子に対向する位置に基板上面に設けられ且つそれぞれが外部端子に

接続された複数の端子電極を有する絶縁基板上に、前記接続線路の形成面が上面となるように前記接続端子と前記端子電極とを接続して一の半導体チップを実装する工程と、該実装した半導体チップのチップセレクト電極が1つのチップセレクト端子のみに接続されるように接続線路の所定部分を切除する工程と、前記絶縁基板上に実装した半導体チップの上に同種の接続端子同士を接続し且つ接続線路の形成面が上面となるように他の半導体チップを実装して該実装した半導体チップのチップセレクト電極が既に絶縁基板上に実装されている半導体チップが使用しているチップセレクト端子以外の1つのチップセレクト端子のみに接続されるように接続線路の所定部分を切除する工程とを含む製造方法を提案する。

【0021】該積層半導体電子部品の製造方法によれば、絶縁基板上に前記接続線路の形成面が上面となるように前記接続端子と前記端子電極とを接続して一の半導体チップを実装した後、該半導体チップのチップセレクト電極が1つのチップセレクト端子のみに接続されるように接続線路の所定部分を切除しているので、前記積層半導体電子部品を容易にライン生産することができる。

【0022】

【発明の実施の形態】以下、図面に基いて、本発明の一実施形態を説明する。

【0023】図1は本発明の第1実施形態における積層半導体電子部品を上面側から見た斜視図、図2は本発明の第1実施形態における積層半導体電子部品を底面側から見た斜視図、図3は本発明の第1実施形態における積層半導体電子部品を上面側から見た分解斜視図、図4は本発明の第1実施形態における積層半導体電子部品を底面側から見た分解斜視図、図5は本発明の第1実施形態における半導体チップの集積回路形成面を示す平面図、図6は本発明の第1実施形態における半導体チップの集積回路非形成面を示す平面図、図7は図1におけるA-A線矢視方向断面図、図8は図5、6におけるB-B線矢視方向断面図、図9は図5、6におけるC-C線矢視方向断面図である。

【0024】これらの図において、10は積層半導体電子部品で、絶縁基板11と、この絶縁基板11上に積み重ねて実装された4つの半導体チップ100と、これらの半導体チップ100を覆って封止する絶縁性の樹脂12によって構成されている。

【0025】絶縁基板11は、例えばセラミックスから成り、所定の厚さを有する矩形的平板状をなし、その表面から裏面に貫通する複数の端子電極13a～13qが、半導体チップ100の端子電極に対向するように配置されて設けられている。

【0026】半導体チップ100は、一方の面の中央部の回路形成領域110にメモリ回路が形成され、回路形成領域110の周囲を取り巻くように表面から裏面に貫通する複数の接続端子104e～104q、131～134が設けられている

A

平板状のシリコン101と、このシリコン101の表裏面のそれぞれを覆うように設けられた絶縁膜102,103とを備えている。尚、上記複数の接続端子104e~104q,131~134は絶縁膜102,103に覆われることなく、表裏面において外部に露出されている。

【0027】また、回路形成領域110の外側には前記メモリ回路の動作状態と非動作状態とを選択するためのチップセレクト信号が入力されるチップセレクト電極121が設けられており、このチップセレクト電極121はシリコン101の裏面すなわち回路形成領域110が設けられていない面に露出するようにシリコン101を表面から裏面に貫通するように設けられている。

【0028】さらに、シリコン101の裏面すなわち回路形成領域110が設けられていない面に形成されている絶縁膜102の表面には端子選択回路120が設けられている。この端子選択回路120は、チップセレクト電極121と複数のチップセレクト端子131~134とを導通接続する複数の接続線路122~126によって構成され、チップセレクト電極121に接続された帯状の接続線路126から他の接続線路122~125が分岐し、これらの接続線路122~125のそれぞれが異なるチップセレクト端子131~134に接続している。

【0029】また、これらの分岐する接続線路122~125は、所定の間隔をあけて配置され、レーザトリミング装置などを用いて部分的に切除できるようになっている。これにより、不要な或いは接続すべきでない接続線路をレーザトリミングして切除し、積層半導体電子部品10の組立時に、チップセレクト電極121を任意の1つのチップセレクト端子131~134にのみ接続することができるようになっている。尚、レーザトリミング以外のトリミング方法、例えば収束イオンビーム(FIB: Focused Ion Beam)や電子ビーム(EB: Electron Beam)を用いて接続線路122~125の切除を行っても良い。

【0030】上記積層半導体電子部品10では、同じ端子同士を接続して4つの半導体チップ100を積み重ねて実装し、各半導体チップ100のチップセレクト電極121を互いに異なるチップセレクト端子131~134に接続するように、各半導体チップ100における所定の接続線路122~125をトリミングによって切除されている。

【0031】上記構成よりなる積層半導体電子部品10は、半導体チップ1つ分の面積に4つの半導体チップ100を実装し、これら4つの半導体チップ100をチップセレクト信号によって切り替えて動作させることができる。

【0032】このため、上記のように半導体チップ100の回路形成領域110に形成されている内部回路がメモリ回路であるときは、半導体チップ100を積み重ねない場合に比べて、単位面積当たり4倍の記憶容量を得ることができる。

【0033】例えば、図10に示すように、上記半導体チップ100が、チップセレクト端子131~134以外の接続

端子に8ビットのアドレス信号A0~A7と、リード信号-RD、ライト信号-WR、データ信号Dを入力できる記憶容量が256ビットのメモリチップであるときは、積層半導体電子部品10の記憶容量は4倍の1000ビットになる。尚、本実施形態では、図面を描く都合上、256ビットの半導体チップ100を基にして本願発明を説明しているが、256Mビットの半導体チップを構成することも容易に可能であり、256Mビットの半導体チップを4つ積層することにより、記憶容量が1Gビットの積層半導体電子部品を構成することも容易であることは言うまでもない。

【0034】次に、上記積層半導体電子部品10の製造方法の一例を説明する。

【0035】半導体チップ100は、周知のようにシリコンウェハー上に複数の半導体チップ100をマトリクス状に形成してこれを切断することによって製造される。

【0036】この半導体チップ100の1つを絶縁基板11上にバンパを介してフリップチップ実装する。実装するときには端子選択回路120の接続線路122~126が形成されている面を上にして、回路形成領域110が形成されている面を絶縁基板11の上面に対向するように実装する。このとき、絶縁基板11の端子電極13a~13qと半導体チップ100の接続端子104e~104q,131~134との接合は、バンパを介したフリップチップ接合、熱圧着方式による接合、半田接合、超音波接合、異方性導電材料による接合、NCPによる接合など周知の接合方法を用いることができる。尚、図において、バンパの図示を省略している。

【0037】次いで、絶縁基板11上に実装した第1の半導体チップ100の接続線路122~125の何れか1つを残して他の接続線路をトリミングして切断する。

【0038】さらに、この半導体チップ100の上に上記と同様にして第2の半導体チップ100を実装し、第1の半導体チップ100が使用していない1つのチップセレクト端子131~134のみをチップセレクト電極121に接続するように接続線路122~125の何れか1つを残して他の接続線路をトリミングして切断する。

【0039】次に、この第2の半導体チップ100の上に上記と同様にして第3の半導体チップ100を実装し、第1及び第2の半導体チップ100が使用していない1つのチップセレクト端子131~134のみをチップセレクト電極121に接続するように接続線路122~125の何れか1つを残して他の接続線路をトリミングして切断する。

【0040】さらに、この第3の半導体チップ100の上に上記と同様にして第4の半導体チップ100を実装し、第1乃至第3の半導体チップ100が使用していない1つのチップセレクト端子131~134のみをチップセレクト電極121に接続するように接続線路122~125の何れか1つを残して他の接続線路をトリミングして切断する。

【0041】この後、絶縁基板11上の4つの半導体

チップ100を覆うと共に半導体チップ100の隙間を埋めるように絶縁性の樹脂12で封止することにより、積層半導体電子部品10が完成する。

【0042】上記の製造方法は、組立工程において接続線路のトリミング（切除）を行っているので、ライン生産性に優れている。

【0043】尚、上記第1実施形態では、記憶容量が256ビットの半導体チップ100を一例として説明したが、さらに記憶容量が大きい半導体メモリチップに本願発明を適用しても上記同様の優れた効果が得られることは言うまでもない。

【0044】また、上記実施形態では、半導体チップ100を4つ積み重ねたが、4つに限定されることはなく、2つ或いは3つであっても良い。また、5つ以上の半導体チップを積み重ねる場合は、各半導体チップに、積み重ねる半導体チップの数に相当する数のチップセレクト端子を設ける必要があることは言うまでもない。

【0045】また、上記実施形態では、半導体チップ100の表面から裏面に貫通する接続端子としたが、接続端子が半導体チップ100の表面と裏面に露出して半導体チップ100の積み重ねができればよいのであり、半導体チップ100の表面から側面を経由して裏面に至るように半導体チップ100の外面に露出して接続端子を設けても良い。

【0046】次に、本発明の第2実施形態を説明する。

【0047】図11は本発明の第2実施形態における積層半導体電子部品を示す斜視図、図12は本発明の第2実施形態における積層半導体電子部品を示す分解斜視図、図13は本発明の第2実施形態における積層半導体電子部品のブロック図である。

【0048】図に示すように、第2実施形態の積層半導体電子部品20は、前述した半導体チップ1004つ重ねてなるユニット24を絶縁基板21上に8ユニット並べて実装し、これらを絶縁性の樹脂22によって封止したものである。

【0049】また、絶縁基板21は、その上面に半導体チップ100の接続端子104e～104q、131～134に対応する位置に接続用のランド電極（図示せず）が設けられ、これらのランド電極と絶縁基板21の両側縁に設けられた外部端子とを接続する接続線路が内層に設けられている。

【0050】本実施形態では、例えば第1実施例と同様に1つの半導体チップ100が256ビットのメモリチップを用い、図12に示すように、半導体チップ100を4つ積み重ねた1つのユニット24を1ビットとしてデータビット数が8ビットで、アドレスビット数が8ビットの積層半導体電子部品20を構成した。この場合も、半導体チップ100を積み重ねない場合に比べて、単位面積当たり4倍の記憶容量を得ることができる。

【0051】このように、複数個の半導体チップ100を積み重ねたものを1つのユニット24として、複数のユ

ニット24を並列に設けても、第1実施形態と同様に本発明は優れた効果を発揮するものである。

【0052】尚、第2実施形態も本発明の一具体例であって、第1実施形態と同様に、半導体チップ100を積み重ねる数や各半導体チップ100のメモリ回路の記憶容量などが、上記実施形態に限定されることはない。例えば、本願発明を256Mビットの半導体メモリチップに適用することによって、1Gビットのユニット24を構成することも容易に可能であり、こりにより256Mビットのメモリ電子部品とほぼ同等の部品形状で1Gビットの記憶容量を有するメモリ電子部品を構成することも容易に可能である。

【0053】次に、本発明の第3実施形態を説明する。

【0054】図14は本発明の第3実施形態における半導体チップの要部を示す平面図である。第3実施形態の半導体チップ100Aは、前述した第1実施形態における半導体チップ100に対して、その内部回路にメモリ冗長回路（図示せず）を設けると共に図14に示すメモリ冗長回路用のヒューズ形成領域140を設けたものである。

【0055】ここで、メモリ冗長回路は、周知のように、正規のメモリセル以外の代替用の冗長メモリセルとその駆動回路及び置換回路などを含み、正規のメモリセルに不良メモリセルが発生したときに、この不良メモリセルと冗長メモリセルとを置き換えることができるようにした回路である。

【0056】上記メモリ冗長回路のヒューズ形成領域140には、半導体チップ100Aの表面の内部回路形成領域110内のメモリ冗長回路に接続された複数の貫通電極141の端部が裏面側の絶縁膜102の表面に露出し、さらに絶縁膜102の表面には複数の貫通電極141の間を接続するヒューズとしての複数の接続線路142からなるヒューズ回路が設けられている。

【0057】上記構成によって、半導体チップ100Aの裏面に設けられたヒューズ形成領域140内の所定の接続線路142をレーザトリミング装置などを用いて切除することにより、不良メモリセル（或いはメモリワード線）を切断して、これに代えて冗長メモリセル（或いはメモリワード線）を簡単に接続することができる。

【0058】次に、本発明の第4実施形態を説明する。

【0059】図15は本発明の第4実施形態における積層半導体電子部品を上面側から見た斜視図、図16は本発明の第4実施形態における積層半導体電子部品の底面図、図17は本発明の第4実施形態における半導体チップの回路形成面を示す平面図、図18は本発明の第4実施形態における半導体チップの回路非形成面を示す平面図、図19は本発明の第4実施形態における半導体チップの回路図、図20は本発明の第4実施形態における積層半導体電子部品の回路図である。

【0060】図において、30は積層半導体電子部品で、配線基板31と、この配線基板31上に積み重ねて

B

40

50

実装された4つの半導体チップ300と、これらの半導体チップ300を覆って封止する絶縁性の樹脂32によって構成されている。

【0061】配線基板31は、例えばセラミックスから成り、所定の厚さを有する矩形の平板状をなし、その表面から裏面に貫通する複数の端子電極31a~31jが、半導体チップ300の端子電極に対向するように配置されて設けられている。尚、配線基板31の材質は、セラミックス以外のシリコンやガラスでも良く、また、FR-4等を使用したプリント配線基板若しくはビルドアップ基板などの有機材料基板でも良い。

【0062】半導体チップ300は、一方の面の中央部の回路形成領域310にチップセレクト用のトランジスタ311と高周波電力増幅用のトランジスタ312が形成され、回路形成領域310の周囲を取り巻くように表面から裏面に貫通する複数の接続端子304e~304j、331~334が設けられている平板状のシリコン301と、このシリコン301の表裏面のそれぞれを覆うように設けられた絶縁膜302、303とを備えている。尚、上記複数の接続端子304e~304q、331~334は絶縁膜302、303に覆われることなく、表裏面において外部に露出されている。

【0063】また、回路形成領域310の外側には前記チップセレクト用のトランジスタ311をスイッチング動作させて電力増幅用のトランジスタ312の動作状態と非動作状態とを選択するためのチップセレクト信号が入力されるチップセレクト電極321が設けられている。このチップセレクト電極321はシリコン301の裏面すなわち回路形成領域310が設けられていない面に露出するようにシリコン301を表面から裏面に貫通するように設けられている。

【0064】チップセレクト用のトランジスタ311のベースはチップセレクト電極321に接続され、コレクタは電源用の接続端子304h、304iに接続されている。また、電力増幅用のトランジスタ312のドレインがトランジスタ311のエミッタと信号出力用の接続端子304eに接続され、ゲートが信号入力用の接続端子304jに接続され、ソースが接地用の接続端子（GND端子）304f、304gに接続されている。

【0065】さらに、シリコン301の裏面すなわち回路形成領域310が設けられていない面に形成されている絶縁膜302の表面には端子選択回路320が設けられている。この端子選択回路320は、チップセレクト電極321と複数のチップセレクト端子331~334とを導通接続する複数の接続線路322~326によって構成され、チップセレクト電極321に接続された帯状の接続線路326から他の接続線路322~325が分岐し、これらの接続線路322~325のそれぞれが異なるチップセレクト端子331~334に接続している。

【0066】また、これらの分岐する接続線路322~325は、所定の間隔をあけて配置され、レーザトリミング装

置などを用いて部分的に切除できるようになっている。これにより、不要な或いは接続すべきでない接続線路をレーザトリミングして切除し、積層半導体電子部品30の組立時に、チップセレクト電極321を任意の1つのチップセレクト端子331~334にのみ接続することができるようになっている。

【0067】上記積層半導体電子部品30では、同じ端子同士を接続して4つの半導体チップ300を積み重ねて実装し、各半導体チップ300のチップセレクト電極321を互いに異なるチップセレクト端子331~334に接続するように、各半導体チップ300における所定の接続線路322~325をトリミングによって切除されている。

【0068】上記構成よりなる積層半導体電子部品30は、半導体チップ1つ分の面積に4つの半導体チップ300を実装し、これら4つの半導体チップ300のチップセレクト用トランジスタ311の1つをチップセレクト信号によってオン状態に設定し、他をオフ状態に設定することにより、電力増幅用のトランジスタ312を切り替えて動作させることができる。

【0069】上記積層半導体電子部品30は次のようにして製造した。即ち、半導体チップ300は、周知のようにシリコンウェハー上に複数の半導体チップ300をマトリックス状に形成してこれを切断することによって製造される。

【0070】この半導体チップ300の1つを絶縁基板31上にフリップチップ実装する。このとき絶縁基板31上の端子電極31a~31dが半導体チップの接続端子331~334に、また端子電極31e~31jが接続端子304e~304jにそれぞれ接続するように実装する。

【0071】また、半導体チップ300を絶縁基板31上に実装するときには、端子選択回路320の接続線路322~326が形成されている面を上にして、回路形成領域310が形成されている面を絶縁基板31の上面に対向するように実装する。このとき、絶縁基板31の端子電極31a~31jと半導体チップ300の接続端子331~334、304e~304jとの接合は、熱圧着方式による接合、半田接合、超音波接合、異方性導電材料による接合、NCPによる接合など周知の接合方法を用いることができる。

【0072】次いで、絶縁基板31上に実装した第1の半導体チップ300の接続線路322~325の何れか1つを残して他の接続線路をトリミングして切断する。

【0073】さらに、この半導体チップ300の上に上記と同様にして第2の半導体チップ300を実装し、第1の半導体チップ300が使用していない1つのチップセレクト端子331~334のみをチップセレクト電極321に接続するように接続線路322~325の何れか1つを残して他の接続線路をトリミングして切断する。

【0074】次に、この第2の半導体チップ300の上に上記と同様にして第3の半導体チップ300を実装し、第1及び第2の半導体チップ300が使用していない1つの

チップセレクト端子331~334のみをチップセレクト電極321に接続するように接続線路322~325の何れか1つを残して他の接続線路をトリミングして切断する。

【0075】さらに、この第3の半導体チップ300の上に上記と同様にして第4の半導体チップ300を実装し、第1乃至第3の半導体チップ300が使用していない1つのチップセレクト端子331~334のみをチップセレクト電極321に接続するように接続線路322~325の何れか1つを残して他の接続線路をトリミングして切断する。

【0076】この後、絶縁基板31上の4つの半導体チップ300を覆うと共に半導体チップ300の隙間を埋めるように絶縁性の樹脂32で封止することにより、積層半導体電子部品30が完成する。

【0077】上記の製造方法は、組立工程において接続線路のトリミング(切除)を行っているのでライン生産性に優れている。

【0078】次に、本発明の第5実施形態を説明する。

【0079】図21は本発明の第5実施形態における半導体チップの要部を示す平面図、図22は本発明の第5実施形態における半導体チップの回路図である。第5実施形態の半導体チップ300Aは、前述した第4実施形態における半導体チップ300の裏面側絶縁膜302の表面にインピーダンスマッチング用のトリミング可能な抵抗回路を設けたものである。

【0080】上記抵抗回路の形成領域340には、半導体チップ300Aの表面の内部回路形成領域310内の電力増幅用トランジスタ312のゲートに接続された貫通電極341の端部が裏面側の絶縁膜302の表面に露出している。さらに、絶縁膜302上の抵抗回路形成領域340には2つの抵抗膜342,343が設けられている。一方の抵抗膜342は信号入力用の接続端子304jと貫通電極341との間に接続され、他方の抵抗膜343は接地用の接続端子304qと貫通電極341との間に接続されている。上記構成により、トリミングによりトランジスタ312の動作点の調整を容易に行うことができる。即ち、電力増幅用トランジスタ312のゲートへの入力インピーダンスは、2つの抵抗膜342,343の抵抗値によって設定される。従って、これらの抵抗膜342,343の一部をレーザビームなどによってトリミングして切除することにより、各抵抗膜342,343の抵抗値を変化させて入力インピーダンスの調整を容易に行うことができる。また、入力インピーダンス調整用の抵抗回路を半導体チップ300Aに備えたので、親回路基板に入力インピーダンス調整用の抵抗回路を設ける必要がなくなり、親回路基板への部品実装の高密度化を図ることができる。

【0081】尚、第5実施形態では、入力インピーダンス調整用の抵抗回路のみを備えた半導体チップ300Aを構成したが、入力用に代えて出力インピーダンス調整用の抵抗回路を備えた半導体チップ、或いは入力用及び出力用のインピーダンス調整用抵抗回路を備えた半導体チ

ップも容易に構成できることは言うまでもない。

【0082】さらに、抵抗回路に代えて或いは抵抗回路に加えて、インピーダンス調整用のインダクタキャパシタを絶縁膜302の表面に設けることも可能である。

【0083】また、前述した第1乃至第5実施形態は、本発明の一具体例に過ぎず、本発明がこれらの実施形態のみに限定されることはない。本発明はチップセレクト端子を備えた半導体チップ及びこれを積み重ねた積層半導体電子部品に係るものであり、チップセレクト端子を備えた或いは設けた半導体チップを積み重ねて、これらの中の任意の1つを選択して使用すること(動作させること)ができるようにしたものである。上記実施形態以外の適用例として、チップセレクト端子を備えたCPU半導体チップ、エンコーダやデコーダの半導体チップを積み重ねた積層半導体電子部品、チップセレクト端子を備えた複数のCPU半導体チップを積み重ねた積層半導体電子部品などを挙げることができる。

【0084】

【発明の効果】以上説明したように本発明の請求項1乃至請求項8に記載の半導体チップによれば、半導体チップの接続線路の所定部分を切除し、半導体チップのチップセレクト電極を複数のチップセレクト端子の内の1つのチップセレクト端子のみに接続することによって、任意の位置のチップセレクト端子を使用することができる。これにより、複数の半導体チップのチップセレクト電極を互いに異なる1つのチップセレクト端子のみに接続された状態にすることによって、同じ位置に形成されている接続端子同士を接続して、複数の半導体チップを積み重ね、任意の1つの半導体チップをチップセレクト信号によって選択して使用可能となる。これにより、半導体電子部品の実装密度を高めることができる。

【0085】さらに、半導体チップの少なくとも表裏面の何れか一方に設けられた絶縁膜上に接続線路が設けられているので、チップセレクト端子を選択するためのトリミング加工を容易に行うことができると共に、チップセレクト端子の数が増したときにも、接続線路をトリミングしやすい配置にすることができる。

【0086】また、請求項9乃至請求項17記載の積層半導体電子部品によれば、同じ位置に形成されている接続端子同士を接続して、複数の半導体チップが積み重ねられ、積み重ねられた複数の半導体チップの内の任意の1つをチップセレクト信号によって選択して使用可能なので、積層半導体電子部品の内部の実装密度を高めることができる。これにより、電子機器の部品実装密度も向上し、電子機器の小型化や軽量化にも大いに貢献することができる。

【0087】また、請求項18記載の積層半導体電子部品の製造方法によれば、絶縁基板上に接続線路の形成面が上面となるように接続端子と端子電極とを接続して一の半導体チップを実装した後、該半導体チップのチップ

セレクト電極が1つのチップセレクト端子のみに接続されるように接続線路の所定部分を切除しているため、積層半導体電子部品を容易にライン生産することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態における積層半導体電子部品を上面側から見た斜視図

【図2】本発明の第1実施形態における積層半導体電子部品を底面側から見た斜視図

【図3】本発明の第1実施形態における積層半導体電子部品を上面側から見た分解斜視図

【図4】本発明の第1実施形態における積層半導体電子部品を底面側から見た分解斜視図

【図5】本発明の第1実施形態における半導体チップの集積回路形成面を示す平面図

【図6】本発明の第1実施形態における半導体チップの集積回路非形成面を示す平面図

【図7】図1におけるA-A線矢視方向断面図

【図8】図5、6におけるB-B線矢視方向断面図

【図9】図5、6におけるC-C線矢視方向断面図

【図10】本発明の第1実施形態における積層半導体電子部品の回路を示すブロック図

【図11】本発明の第2実施形態における積層半導体電子部品を示す斜視図

【図12】本発明の第2実施形態における積層半導体電子部品を示す分解斜視図

【図13】本発明の第2実施形態における積層半導体電子部品のブロック図

【図14】本発明の第3実施形態における半導体チップの要部を示す平面図

【図15】本発明の第4実施形態における積層半導体電*

*子部品を上面側から見た斜視図

【図16】本発明の第4実施形態における積層半導体電子部品の底面図

【図17】本発明の第4実施形態における半導体チップの回路形成面を示す平面図

【図18】本発明の第4実施形態における半導体チップの回路非形成面を示す平面図

【図19】本発明の第4実施形態における半導体チップの回路図

【図20】本発明の第4実施形態における積層半導体電子部品の回路図

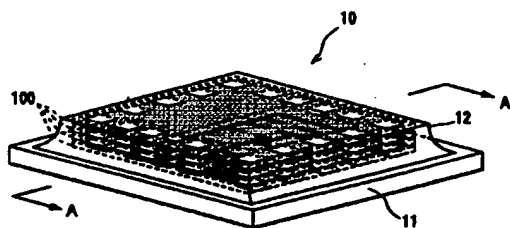
【図21】本発明の第5実施形態における半導体チップの要部を示す平面図

【図22】本発明の第5実施形態における半導体チップの回路図

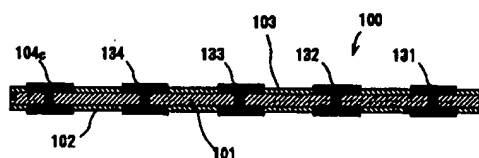
【符号の説明】

10…積層半導体電子部品、11…絶縁基板、12…封止樹脂、13a~13q…端子電極、100,100A…半導体チップ、101…シリコン、102,103…絶縁膜、104e~104q…接続端子、110…回路形成領域、120…端子選択回路、121…チップセレクト電極、122~126…接続線路、131~134…接続端子（チップセレクト端子）、140…ヒューズ形成領域、141…貫通電極、142…接続線路、30…積層半導体電子部品、31…絶縁基板、32…封止樹脂、31a~31j…端子電極、300,300A…半導体チップ、301…シリコン、302,303…絶縁膜、304e~304j…接続端子、310…回路形成領域、311…チップセレクト用トランジスタ、312…高周波電力増幅用トランジスタ、320…端子選択回路、321…チップセレクト電極、322~326…接続線路、331~334…接続端子（チップセレクト端子）、340…抵抗回路形成領域、341…貫通電極。

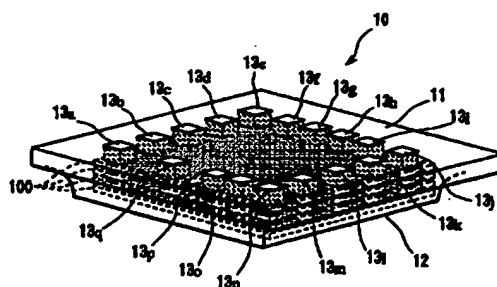
【図1】



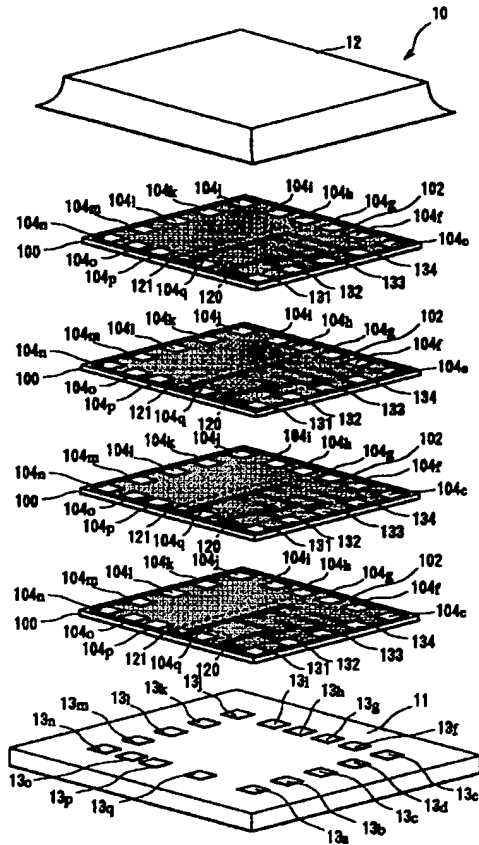
【図8】



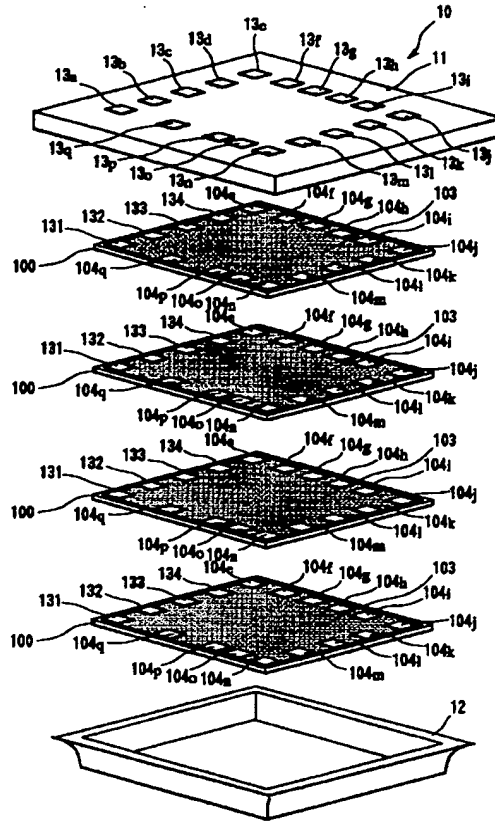
【図2】



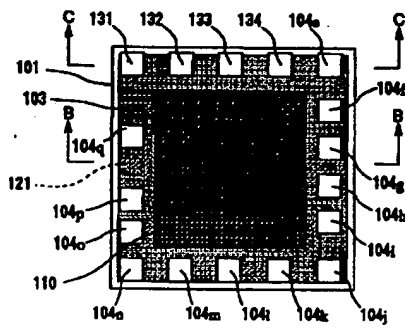
【図 3】



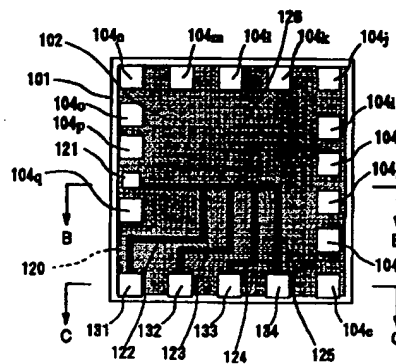
【図 4】

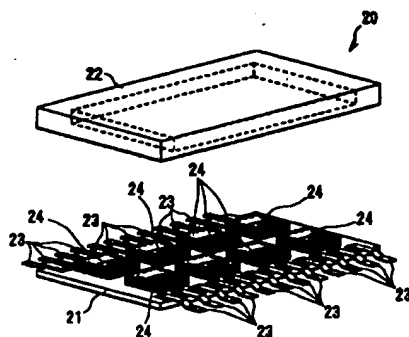
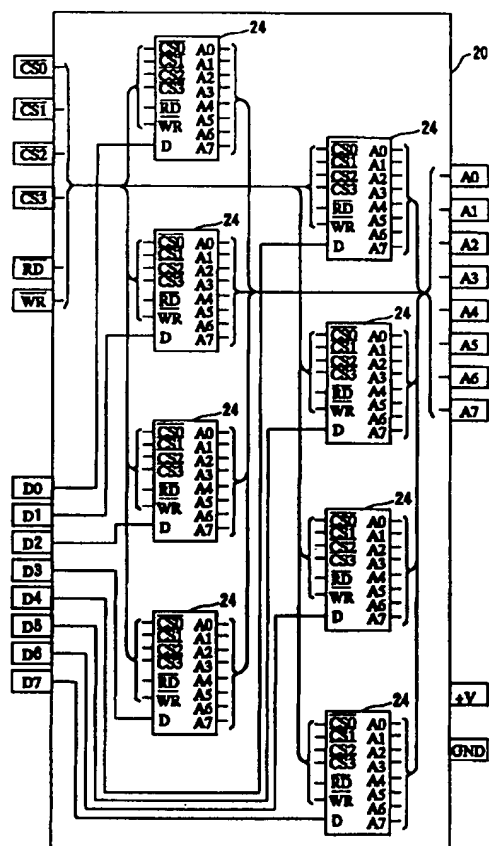
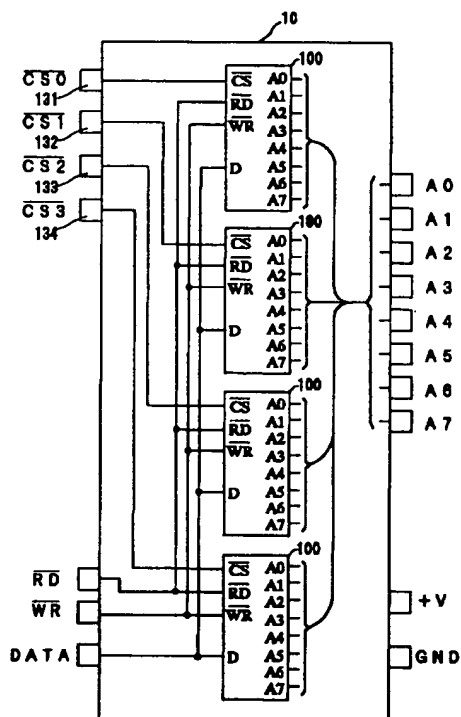
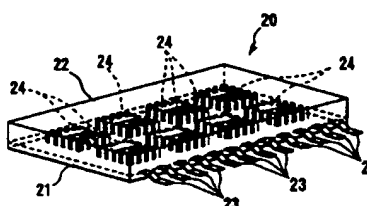
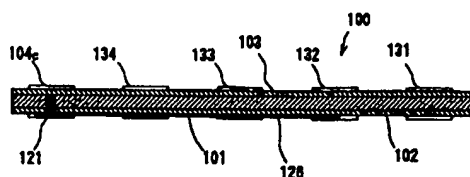
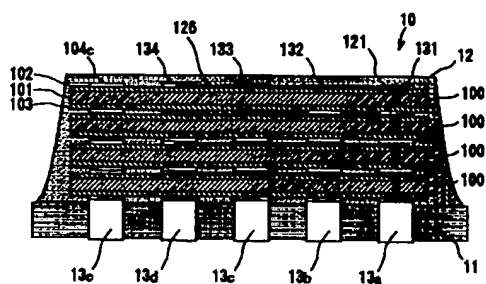


【図 5】

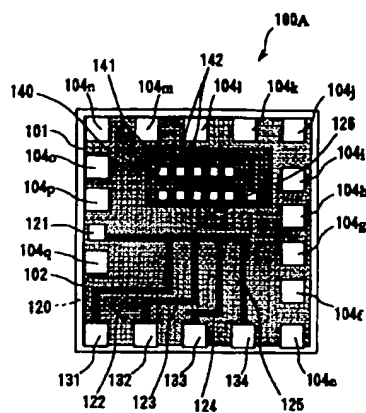


【図 6】

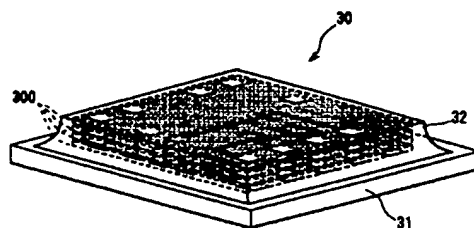




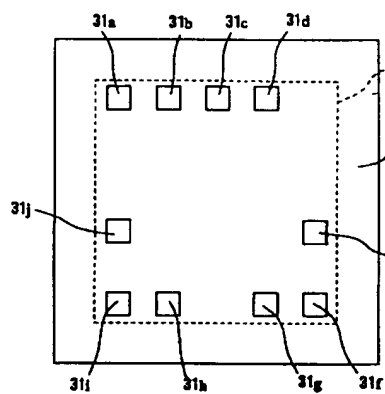
【図14】



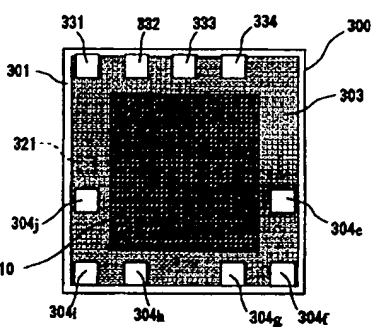
【図15】



【図16】

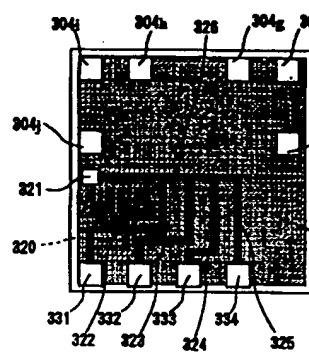


【図17】

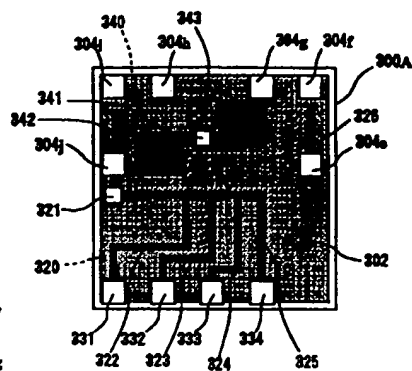
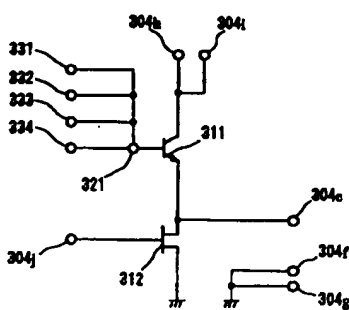


【図21】

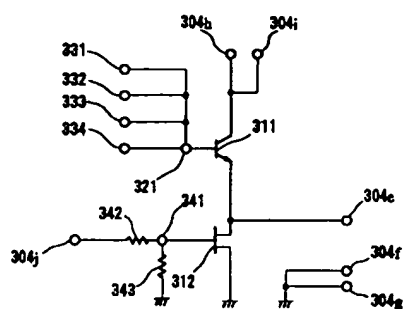
【図18】



【図19】



【22】



テーマコード (参考)

J

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

Partial English Translation of JP-A 2003-163326

Part A (page 4 - 5)

[0022]

[Embodiment of the Invention] Hereinbelow, with reference to drawings, one embodiment of the invention will be described.

[0023] Fig. 1 is a perspective view seen from an upper face-side of a stacked semiconductor electronic component in a first embodiment of the invention. Fig. 2 is a perspective view seen from a bottom face-side of the stacked semiconductor electronic component in the first embodiment of the invention. Fig. 3 is an exploded perspective view seen from the upper face-side of the stacked semiconductor electronic component in the first embodiment of the invention. Fig. 4 is an exploded perspective view seen from the bottom face-side of the stacked semiconductor electronic component in the first embodiment of the invention. Fig. 5 is a plan view showing a forming face of integrated circuit of a semiconductor chip in the first embodiment of the invention. Fig. 6 is a plan view showing a non-forming

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

face of integrated circuit of the semiconductor chip in the first embodiment of the invention. Fig. 7 is a sectional view seen in an arrow direction taken on line A-A of Fig. 1. Fig. 8 is a sectional view seen in an arrow direction taken on line B-B of Figs. 5 and 6. Fig. 9 is a sectional view seen in an arrow direction taken on line C-C of Figs. 5 and 6.

[0024] In these figures, 10 is given to a stacked semiconductor electronic component which comprises an insulating substrate 11, four semiconductor chips 100 stacked and thus mounted on the insulating substrate 11, and an insulating resin 12 for covering these semiconductor chips 100 so as to be sealed.

[0025] The insulating substrate 11 is formed of ceramics, for example, and formed into a rectangular flat plate having a prescribed thickness. A plurality of terminal electrodes 13a to 13q penetrating from surface to rear face of the insulating substrate 11 are disposed so as to face terminal electrodes of the semiconductor chips 100.

[0026] In a circuit forming region 110 on a center portion of the semiconductor chip 100 is formed a memory circuit, and the semiconductor chip 100 comprises a platy

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

silicon 101 provided with a plurality of connecting terminals 104e to 104q and 131 to 134 penetrating from the surface to the rear face so as to surround a periphery of the circuit forming region 110, and insulating films 102 and 103 provided so as to respectively cover the surface and rear face of the silicon 101. Note that the above-mentioned plurality of connecting terminals 104e to 104q and 131 to 134 are not covered with the insulating films 102 and 103, but exposed to outside on the surface and rear face.

[0027] Moreover, outside of the circuit forming region 110 is provided a chip select electrode 121 into which a chip select signal for selecting an operating state or non-operating state of said memory circuit is inputted. This chip select electrode 121 penetrates from the surface to rear face of the silicon 101 so as to be exposed on the rear face of the silicon 101, that is, a face where the circuit forming region 110 is not provided.

[0028] Furthermore, on a surface of the insulating film 102 formed on the rear face of the silicon 101, that is, the face where the circuit forming region 110 is not provided, a terminal selecting circuit 120 is provided. This terminal selecting circuit 120 is composed of a

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

plurality of connecting paths 122 to 126 for conductively connecting the chip select electrode 121 with a plurality of the chip select terminals 131 to 134. In the terminal selecting circuit 120, from the belt-like connecting path 126 connected to the chip select electrode 121 are diverged the other connecting paths 122 to 125, each of which is connected to a different one of the chip select terminals 131 to 134.

Part B (Page 6)

[0046] Next, a second embodiment of the invention will be described.

[0047] Fig. 11 is a perspective view showing a stacked semiconductor electronic component in the second embodiment of the invention. Fig. 12 is an exploded perspective view showing the stacked semiconductor electronic component in the second embodiment of the invention. Fig. 13 is a block diagram of the stacked semiconductor electronic component in the second embodiment of the invention.

[0048] As shown in the figures, a stacked

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

semiconductor electronic component 20 in the second embodiment has such a constitution that eight units 24 each of which is composed of four stacked semiconductor chips 100 described above, are arranged and thus mounted on an insulating substrate 21, and these components are sealed by an insulating resin 22.

[0049] Further, on an upper surface of the insulating substrate 21 are provided connecting land electrodes (not shown) at positions corresponding to the connecting terminals 104e to 104q and 131 to 134 of the semiconductor chip 100. The insulating substrate 21 has in an inner layer thereof connecting paths for connecting these land electrodes with external terminals provided on edges on both sides of the insulating substrate 21.

[0050] In the embodiment, as in the case of the first embodiment, for example, by use of a 256-bit memory chip in one semiconductor chip 100, as shown in Fig. 12, when one unit 24 composed of four stacked semiconductor chips 100 is counted as one bit, the stacked semiconductor electronic component 20 having a data bit number 8 and an address bit number 8 is constituted. Also in this case, compared to the case where the semiconductor chips 100 are not stacked each other, it is possible to obtain four

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

times as much memory capacity per unit area.

[0051] Thus, even in a case where a plurality of the units 24 are arranged in parallel with each other when a plurality of semiconductor chips 100 are stacked and counted as one unit 24, the invention exerts excellent effects as in the case of the first embodiment.

[0052] Note that the second embodiment is also a specific example of the invention so that, as in the case of the first embodiment, the number of stacked semiconductor chips 100, the memory capacity of the memory circuit of each semiconductor chip 100, and the other elements are not limited to those in the above-described embodiment. For example, by applying the present application to a 256-Mbit semiconductor memory chip, it is possible to readily constitute a 1-Gbit unit 24. By so doing, it is also possible to readily constitute a memory electronic component having a 1-Gbit memory capacity with a substantially same component shape as that of the 256-Mbit memory component.

[0053] Next, a third embodiment of the invention will be described.

[0054] Fig. 14 is a plan view showing a substantial part of a semiconductor chip in the third embodiment of

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

the invention. A semiconductor chip 100A in the third embodiment has such a constitution that, on the basis of the above-described semiconductor chip 100 in the first embodiment, a memory redundancy circuit (not shown) is provided in an inner circuit of the semiconductor chip 100A and moreover, a fuse forming region 140 for the memory redundancy circuit as shown in Fig. 14 is provided.

[0055] The memory redundancy circuit herein includes, as is commonly known, an alternate redundant memory cell except a regular memory cell, and its driving circuit, substitution circuit, etc., and when a defective memory cell is generated in the regular memory cell, this defective memory cell can be replaced with the redundant memory cell.

[0056] On the fuse forming region 140 of the above-mentioned memory redundancy circuit, end portions of a plurality of penetrating electrodes 141 connected to the memory redundancy circuit in the internal circuit forming region 110 on the surface of the semiconductor chip 100A are exposed on the surface of the insulating film 102 on the rear face-side and furthermore, on the surface of the insulating film 102 is provided a fuse circuit composed of a plurality of connecting paths 142, which serves as a

Your Ref. No.: 27541-28000.00
Our Ref. No.: 62125/04R00525/US

fuse for connecting a plurality of penetrating electrodes 141 each other.

[0057] The above-mentioned constitution allows easy connection of the redundant memory cell (or a memoryword line) for replacing a defective memory cell (or a memoryword line) which is cut by removing a prescribed connecting line 142 inside the fuse forming region 140 provided on the rear face of the semiconductor chip 100A by use of a laser trimming apparatus.

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.